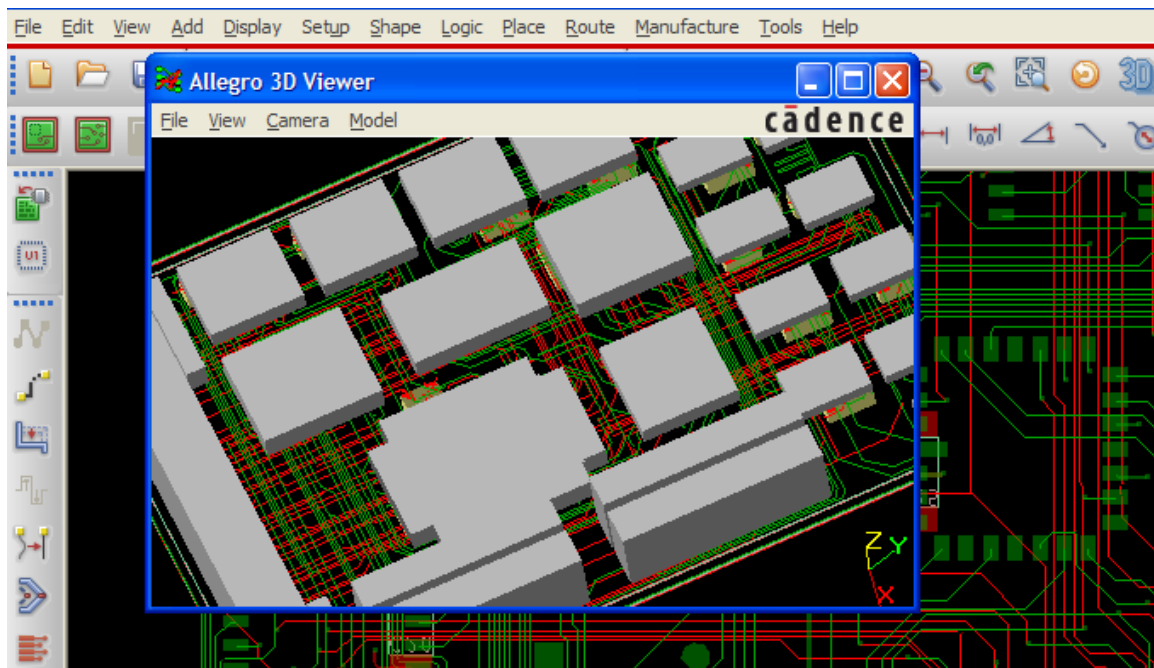


Visualisation 3D d'une carte et d'éléments

La fonctionnalité 3D de PCB Editor affiche la carte avec les informations de hauteur, avec les pistes, pastilles, vias et carte. Elle vous permettra aussi de « naviguer » à l'intérieur de la carte en ne visualisant, par exemple, que les pistes et pastilles voire le trajet d'un seul net.



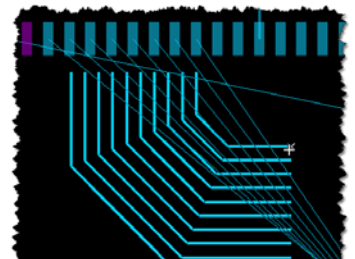
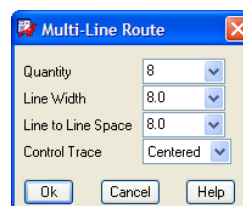
Flip de la carte

La commande **Flip** tourne la carte d'un seul clic sans être contraint de le faire en plusieurs étapes en utilisant une succession de commandes.



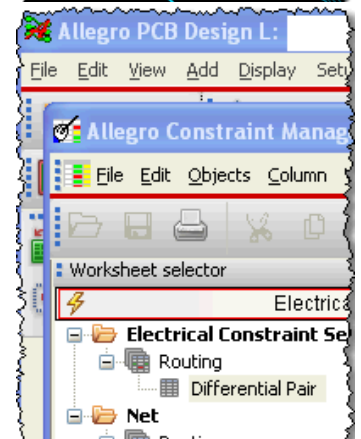
Création de pistes par paquet

Lorsque vous imaginez le trajet de plusieurs bus sur des couches différentes, il vous sera possible de le matérialiser par le dessin des bus sans avoir à les connecter.



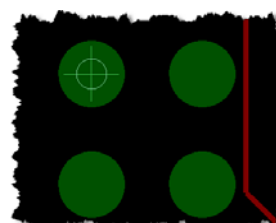
Support des paires différentielles (Allegro PCB Design L)

Les paires différentielles sont maintenant paramétrables et routable dans Allegro PCB Design L.



Repère d'origine

Changer d'origine devient très simple avec la commande **Change Drawing Origin** (Menu Setup) qui, de plus matérialise, celle-ci à l'aide une mire.



Jumpers

La notion de Package peut porter le type Jumper (cf Drawing Type). Ce type de symbole est utilisé en tant que tel dans la commande **Add Connect** à la condition qu'il soit créé avec deux vias, un encombrement ainsi qu'une référence. Après avoir déclaré la propriété **Jumper_List** au niveau design, ce symbole pourra être placé avec la commande contextuelle **Add Jumper** dans la commande **Add Connect**.

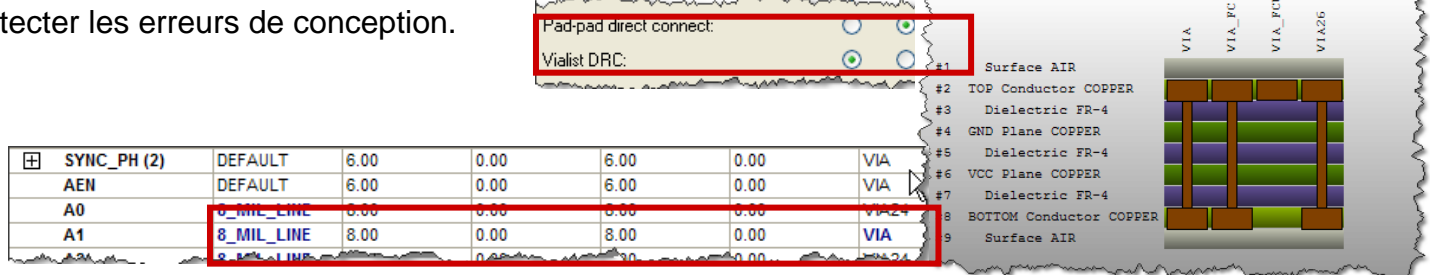
Sélection par polygone

Cette commande est utilisable soit à partir d'une commande active soit par le menu contextuel **Selection Set** → **Select by Polygon**.

Gestion des vias

Le Constraint Manager représente en coupe les vias avec les différentes couches traversées. Cette vue peut être personnalisées.

De plus un via ou une liste de vias affectés par l'intermédiaire d'un PCSet peuvent être changés directement sur un net concerné. La notion de contrôle DRC existe maintenant et il faudra activer **ViaList DRC** afin de détecter les erreurs de conception.



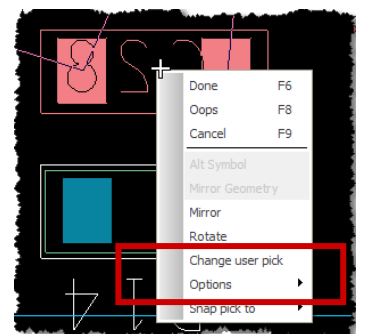
The image shows a screenshot of the software interface. On the left, a table lists vias with columns for net name, default, and various dimensions. A red box highlights the '8_MIL_LINE' entries for nets A0 and A1. On the right, a 'Filter' dialog box is open, showing options to show vias from the library and database. Below it, a 'Pad-pad direct connect:' and 'ViaList DRC:' section is visible. To the right of the dialog, a cross-section diagram of a PCB stackup is shown, with layers labeled from #1 to #9, including Surface AIR, TOP Conductor COPPER, Dielectric FR-4, GND Plane COPPER, VCC Plane COPPER, and BOTTOM Conductor COPPER. A legend on the right identifies VIA, VIA_PU, VIA_PCU, and VIA26.

Net	Default	6.00	0.00	6.00	0.00	VIA
SYNC_PH (2)	DEFAULT	6.00	0.00	6.00	0.00	VIA
AEN	DEFAULT	6.00	0.00	6.00	0.00	VIA
A0	8_MIL_LINE	8.00	0.00	8.00	0.00	VIA
A1	8_MIL_LINE	8.00	0.00	8.00	0.00	VIA
A2	8_MIL_LINE	8.00	0.00	8.00	0.00	VIA

Changement du point d'accroche avec la commande Move

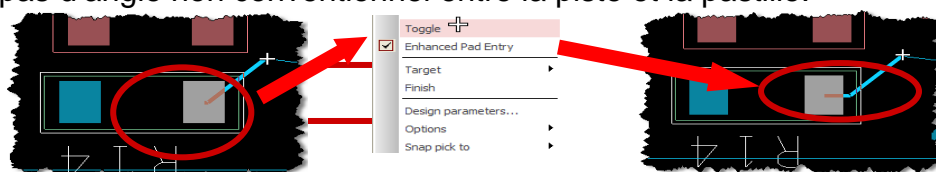
Lors de déplacement de symboles, il est maintenant possible de changer le point d'accroche alors que l'élément est accroché au curseur. Il y a deux façons d'utiliser cette capacité :

- Le **Rotation Point** est déjà réglé sur **User Pick** alors, la commande **Change User Pick** sera disponible directement dans le menu contextuel
- Ou il s'agit de changer radicalement le point d'accroche, le menu contextuel **Options** → **Rotation Point** est disponible pour choisir le réglage voulu.
-



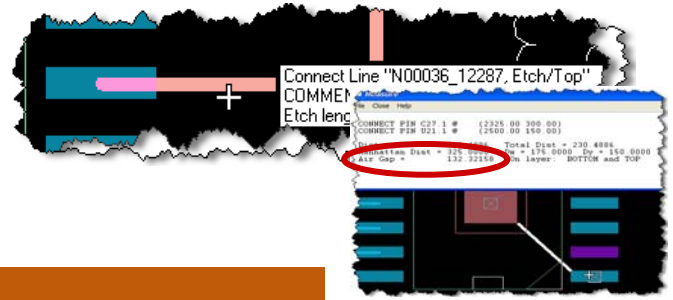
Enhanced Pad Entry

Amélioration de l'entrée et de la sortie d'une piste dans une pastille, qu'elle soit ronde, rectangulaire ou oblongue. La piste entrera ou sortira toujours perpendiculairement, avec un rayon ou avec un angle qui ne créera pas d'angle non conventionnel entre la piste et la pastille.



Personnalisation de l'affichage des Datatips

Lors du passage du curseur sur un élément, une information sur la nature de l'objet est affichée et la touche Tab permet de passer d'un élément à un autre si plusieurs sont superposés à la position du curseur. L'information affichée peut être personnalisée au point de pouvoir voir la longueur de la cline concernée si l'on veut.



Placement d'aires de vias

La commande **Via Arrays**→**Matrix** a été placée dans le menu Place afin de permettre la création d'aires en fonction, d'une zone dessinée, du contour de carte ect...

Commande Measure

La commande **Measure** indique la distance et l'isolation entre deux éléments qui ne sont pas sur la même couche.

Système des DRC

- **DRC sur les PastMask** : cette règle est activable dans les Design Modes et permet de détecter les défauts.
- Utilisation du mutli-threading lors des vérifications DRC.
- Détection des pins dans une aire Route Keepout (Pin to Route Keepout).
- Autorisation des shapes dans une aire Route KeepOut par l'adjonction de la propriété shapes_allowed.
- La propriété Net_short est maintenant utilisable avec les shapes dynamiques.

Système de fichier et améliorations diverses

- **DBDoctor** : Performance Advisor analyse la structure pour éliminer les problèmes qui impacteraient les performances d'édition. Optimise le cache du fichier afin d'augmenter les performances des shapes sur de lourdes conceptions.
- **Shapes Dynamiques** : Augmentation de 25% des performances par rapport à la version 16.2. Certains fichiers n'ont plus besoin d'oversize pour régler des problèmes d'isolations.
- **DownRev** : Il est possible de dégrader un fichier 16.3 en 16.2 avec le menu Export→Save Design to 16.2.
- **Variables** : Disable_hover_over, empêche l'affichage des datatips. IDF_layer_delineate : Elimine le / utilisé pour concaténer les subclasses et classes de PCB Editor dans le fichier IDF.
- **Nouvelles propriétés** :
SHAPES_ALLOWED.
FSP_LIB_APRT_MODEL,FSP_TERMINATION_TYPE, FSP_IS_FPGA, FSP_INSTANCE_ID,
FSP_INSTANCE_NAME, FSP_NET.
MATCH_VIA_COUNT
PASTEMASK_SPACING
NODRC_VIALIST
NEGATIVE_PLANE_SLIVER
JUMPER_LIST
NO_DIFF_PAIR
DIFFP_PHASE_MAX_LENGTH,DIFFP_PHASE_TOL_DYNAMIC
RETAIN_NET_ON_VIAS
- **Extracta** : Nouveaux attributs d'extraction pour le décompte de pins :NET_PIN_COUNT
NET_RATT_COUNT, SYM_PIN_COUNT, SYM_LOGICALPIN_COUNT, SYM_MECHPIN_COUNT
- **Artwork** : Nouvelle commande contextuelle, Display for Artwork Check.
- **Identify DC Net** : La commande élimine le NET_SCHEDULE des alimentations lors de la suppression de la propriété VOLTAGE.
- **Subclasses définies par l'utilisateur** : Elles sont maintenant ordonnées dans la fenêtre.

- **Cotations** : La fenêtre de paramétrages a été redéfinie pour présenter les réglages par onglets.
- **Fenêtre Design Status** : Elle comporte des indications sur le temps d'édition du fichier ainsi que l'utilisateur qui a effectué la dernière sauvegarde.
- **Réglage de la grille** : La fenêtre de grille supporte l'utilisation de calculs basiques pour entrer une valeur en commençant par exemple par $=2,5*3,76$ pour obtenir 76 comme valeur.
- **Architecture du produit** : le modèle Working Layer est maintenant disponible dans toutes les gammes de PCB Editor. Les labels de BBvia sont utilisables dans Performance –L. Les paires différentielles sont disponibles dans PCB Editor L. La programmation en Skill est possible dans PCB Editor L.

